

Chapitre 8

Un exemple de carte réseau : 3Com 501

Dans le cas d’Ethernet, la couche liaison est en grande partie mise en œuvre au sein d’un **adaptateur** ou **carte réseau**, l’une des nombreuses cartes insérées sur la carte mère (comme la carte graphique ou la carte son). Il s’agit d’une unité semi-autonome qui reçoit un paquet de la part de la couche réseau de l’émetteur. La carte réseau encapsule ce paquet au sein d’une trame et la transmet au support physique. À l’autre extrémité, la carte du destinataire extrait le paquet de la trame, le place quelque part en mémoire vive et déclenche une interruption matérielle pour prévenir qu’un paquet est arrivé.

La carte réseau peut être plus ou moins perfectionnée. Elle peut ajouter les bits de détection d’erreurs en émission et les contrôler en réception. Le service de transport fiable peut également être entièrement mis en œuvre à son niveau (notamment l’insertion de numéros de séquence, l’activation de temporisateurs et l’échange d’acquittements). Elle peut supprimer des trames réceptionnées contenant des erreurs sans en avertir l’hôte.

L’une des premières cartes réseau conçue par 3Com (l’entreprise créée par les inventeurs d’Ethernet) pour les micro-ordinateurs compatibles PC fut la carte 3Com 501, sortie en 1988. C’est aussi l’une des premières à avoir été prise en compte par Linux.

8.1 Description de la carte

Nous n'allons pas donner de description physique de cette carte ni comment l'installer sur un PC. Il s'agit de toute façon d'une carte maintenant ancienne. Les éléments pour la programmation de cette carte sont décrits, incomplètement, dans [3Com501].

Cette carte est un contrôleur/transcepteur pour les compatibles PC qui est conforme à la spécification Ethernet, version 1.0 du 30 septembre 1980. Elle implémente les couches physique et liaison du modèle ISO. Elle comprend un contrôleur pour la couche liaison, appelé **8001** ou **EDLC** et un tampon de trame de 2 Ko, suffisant pour contenir une trame Ethernet, en émission ou en réception. Le tampon peut opérer avec le contrôleur de DMA 8237A des compatibles PC. Le contrôleur peut utiliser le contrôleur d'interruption 8259A des compatibles PC.

8.1.1 Interface logicielle

L'adresse de base, comme port d'entrée-sortie du microprocesseur, peut être choisie parmi un certain nombre de valeurs à l'aide de cavaliers.

L'interface logicielle s'effectue à l'aide de 16 registres, accessibles comme octets à partir de l'adresse de base. Ces registres portent les noms suivants, suivant qu'on lit ou qu'on écrit :

Décalage	Lecture	Écriture
0		Adresse de la station 0
1		Adresse de la station 1
2		Adresse de la station 2
3		Adresse de la station 3
4		Adresse de la station 4
5		Adresse de la station 5
6	Receive Status	Receive Command
7	Transmit Status	Transmit Command
8	GP Buffer Pointer [LSB]	GP Buffer Pointer [LSB]
9	GP Buffer Pointer [MSB]	GP Buffer Pointer [MSB]
A	RCV Buffer Pointer [LSB]	RCV Buffer Pointer Clear
B	RCV Buffer Pointer [MSB]	
C	Ethernet Address Prom Window	
D		
E	Auxiliary Status (CSR)	Auxiliary Command (CSR)
F	Buffer Window	Buffer Window

- Le registre F, *Buffer Window*, permet d'accéder, en écriture comme en lecture, à un octet du tampon parmi les 2 K possibles, d'où son nom de fenêtre.
- Le pointeur GP (*General Purpose buffer pointer*) contient la position de cette fenêtre dans le tampon. On a besoin de onze bits pour balayer l'amplitude 0 à 2047. L'octet de poids faible constitue le registre 8 et l'octet de poids fort (avec 5 bits ayant une valeur nulle) le registre 9. Une lecture ou une écriture dans la fenêtre incrémente automatiquement GP.
- Le pointeur RP (*Receive Pointer*) est également un pointeur de onze bits. Il est incrémenté à chaque fois que la carte reçoit un octet. On peut en lire la valeur grâce aux registres A et B (en lecture) et le remettre à zéro grâce au registre A (en écriture).
- L'adresse MAC de la carte est entièrement libre, stockée en mémoire PROM. On écrit ses six octets en utilisant les registres 0 à 5. On lit l'adresse à travers le registre C de taille un octet en positionnant les bits 0–2 de GP pour indiquer l'octet que l'on veut lire. La lecture de ce registre n'incrémente pas automatiquement GP.

- Les autres registres s'appellent **RSR** (*Receive Status Register*), **RCR** (*Receive Command Register*), **TSR** (*Transmit Status Register*), **TCR** (*Transmit Command Register*), **ASR** (*Auxiliary Status Register*) et **ACR** (*Auxiliary Command Register*) avec une dénomination qui rappelle leur fonction.

8.1.2 Le registre de commande d'émission : TCR

Lorsqu'on envoie un paquet à la carte 3Com 501 pour qu'elle émette une trame, celle-ci essaie de l'émettre et renvoie l'un des diagnostics suivants : émission réussie (c'est-à-dire que la trame a quittée la carte, mais on ne sait pas si elle est parvenue à destination), collision, seizième collision ou dépassement de capacité.

Après chaque collision, les données demeurent dans le tampon mais le pilote doit remettre GP à zéro et redémarrer explicitement l'émission. Le contrôleur attend alors le délai approprié et essaie d'émettre à nouveau.

Après la seizième collision, l'essai d'émission doit être abandonné d'après les règles du standard Ethernet.

Le dépassement de capacité survient lorsqu'on essaie d'émettre une trame avec un mauvais CRC ou pour essayer de diagnostiquer quelque chose.

Le pilote peut choisir d'ignorer ou de détecter chacun de ces diagnostics. Il l'indique grâce au TCR :

7	6	5	4	3	2	1	0
non utilisés				réussi	collision 16	collision	dépassement

Un bit à 1 invite à révéler le diagnostic dans le TSR. Les raisons du dépassement de capacité à détecter sont précisées dans le registre ACR. Si on veut qu'une interruption soit déclenchée lors de la détection d'un de ces diagnostics, il faut le préciser dans le registre ACR.

8.1.3 Le registre de statut d'émission : TSR

Le contrôleur change la valeur du TSR après chaque essai d'émission. La structure de ce registre est la suivante :

7	6	5	4	3	2	1	0
non utilisés				prêt	16 collisions	collision	dépassement

8.1.4 Le registre de commande de réception : RCR

Le pilote peut programmer la carte pour qu'elle n'accepte que les trames de certaines classes ; les autres trames sont alors ignorées automatiquement. Lorsqu'une trame est ignorée, RP est remis à zéro et le contrôleur est prêt à recevoir la trame suivante.

La structure du registre RCR est la suivante :

7	6	5	4	3	2	1	0
mode	accepte	EOF	trop court	trop lent	CRC	dépassement	

- Le mode d'acceptation des adresses (*Address Match Mode*) détermine quelles sont les trames que l'on veut accepter au vu de leur adresse de destination :
 - 0 – receveur inhibé, ne reçoit aucune trame ;
 - 1 – reçoit toutes les adresses ;

- 2 – reçoit l'adresse de la station et la diffusion générale;
- 3 – reçoit l'adresse de la station et la diffusion restreinte.
- Le bit 5 positionné à 1 indique que l'on ne doit accepter que les trames bien constituées (taille légale, pas d'erreur de CRC et pas de dépassement de capacité).
- Le bit 4 indique que l'on ne doit accepter que les trames sans erreur de dépassement de capacité, c'est-à-dire celles pour lesquelles un **EOF** (*End Of Frame*) a été détecté.
- Le bit 3 indique que l'on ne doit pas accepter les trames trop courtes (moins de 60 octets, en excluant le préambule et le CRC). On considère en effet qu'il s'agit certainement d'un fragment dû à un problème de collision.
- Le bit 2 indique qu'il faut détecter un débit trop lent (*dribble error*). La trame sera cependant chargée.
- Le bit 1 indique que l'on ne doit pas accepter les trames présentant une erreur de CRC.
- Le bit 0 indique qu'il faut détecter les erreurs de dépassement de capacité, c'est-à-dire que le contrôleur détecte une trame intéressante alors que le tampon n'est pas disponible.

8.1.5 Le registre de statut de réception : RSR

Le pilote définit les trames ayant un intérêt en positionnant le registre de commande en réception. Le contrôleur change le registre de statut de réception après chaque trame détectée sur le réseau, qu'elle présente ou non un intérêt. La structure de ce registre est la suivante :

7	6	5	4	3	2	1	0
Vieux	non défini	bonne trame	erreur EOF	trop court	trop lent	erreur CRC	erreur de dépassement

- Lorsque le contrôleur détecte une trame intéressante, le bit 7 (*Stale Receive Status*) est positionné à 0. Le contrôleur n'accepte plus alors de trame jusqu'à la lecture du registre. La lecture positionne ce bit à 1.
- Le bit 5 vaut 1 si la trame reçue est intéressante.
- Les bits 4, 3 et 1 spécifient la cause de l'erreur sinon : trame trop longue, trame trop courte, erreur de CRC.
- Si la trame a été reçue trop lentement, le bit 2 est positionné à 1.
- Si le contrôleur n'est pas en position de réception lorsqu'une trame arrive, le bit 0 est positionné à 1.

8.1.6 Le registre de commande auxiliaire : ACR

La structure de ce registre est la suivante :

7	6	5	4	3	2	1	0
Reset	RIDE	DMA	non utilisé	contrôle	CRC	IRE	

- Positionner le bit **reset** à 1 permet de réinitialiser tous les registres de statut et de contrôle. Le pilote doit absolument le repositionner à 0 ensuite.

- Le bit RIDE (pour l'anglais *Request Interrupt and DMA Enable*) spécifie à la carte de positionner les signaux IRQ (*Interrupt ReQuest*) et DRQ (*Dma service ReQuest*) sur le bus système. Lorsque le RIDE vaut 0, le contrôleur ne peut pas engendrer de transferts DMA et ne peut engendrer des interruptions que si le bit IRE (pour l'anglais *Interrupt Request Enable*) vaut 1.
- Les bits 2 et 3 contrôlent l'accès au tampon :
 - 0 – Le bus système a accès au tampon, qui n'est plus relié au réseau dans ce cas.
 - 1 – Mode transmission (suivi automatiquement du mode réception).
 - 2 – Mode réception.
 - 3 – Mode périphérique en boucle.
- Si le bit 1 vaut 1, le contrôleur peut transmettre des trames ayant un mauvais CRC.

8.1.7 Le registre de statut auxiliaire : ASR

La structure du registre ASR est la suivante :

7	6	5	4	3	2	1	0
Occupé en émission	RIDE	requête DMA	DMA effectuée	contrôle du tampon	CRC	Occupé en réception	

- Le bit 7 n'a de signification que lorsque le contrôle de tampon est positionné pour le périphérique en boucle ou pour émission. Il prend la valeur 1 lorsque le pilote démarre une émission (en positionnant le contrôle de tampon du RCA à 1). Il revient à zéro en cas de collision ou lorsque l'émission se termine avec succès. Le pilote peut distinguer ces deux cas en examinant le registre TSR.
- Le pilote démarre un transfert DMA en programmant le canal adéquat du contrôleur de DMA et en positionnant les bits RIDE et DMA Request du registre RCA du contrôleur de la carte réseau. Lorsque le transfert DMA est terminé, le bit 4 est positionné à 1. Le pilote efface ce bit en positionnant le bit DMA Request du registre RCA à zéro.
- Le bit 0 est positionné à 1 lorsque le contrôleur est armé pour recevoir une trame. Ceci se fait automatiquement après la transmission d'une trame ou lorsque le pilote positionne le contrôle de tampon en réception ou pour le périphérique en boucle. Ce bit revient à zéro après que le contrôleur ait accepté une trame. Le pilote doit alors attendre 800 nanosecondes avant de lire le registre RSR.

8.2 Émission et réception

8.2.1 Choix de l'adresse de base et de l'IRQ

On peut choisir l'adresse de base de la carte parmi 32 (ou même 64 suivant le modèle choisi) valeurs possibles, le canal IRQ parmi deux valeurs (3 ou 5) et le canal DMA parmi deux valeurs (1 ou 3) en positionnant physiquement des cavaliers.

Nous verrons que, en ce qui concerne l'implémentation Linux, on commence par considérer les valeurs par défaut à la sortie d'usine (à savoir 280, 1 et 3 respectivement) dans le noyau. L'administrateur système peut changer ces valeurs grâce à la commande `ifconfig` de configuration de l'interface physique.

8.2.2 Émission d'une trame

Pour émettre une trame, il faut :

- Positionner le contrôle de tampon (registre ACR) à zéro. Ceci procure au bus système un accès au tampon.
- Charger le paquet dans le tampon de façon telle que le dernier octet du paquet coïncide avec le dernier octet du tampon, à savoir 7FFh pour GP.
- Positionner GP pour qu'il pointe sur le premier octet du paquet.
- Démarrer l'émission en positionnant le contrôle de tampon (registre ACR) à un.
- Lire le TSR pour déterminer s'il y a eu collision ou succès. L'émission est terminée lorsque le bit *occupé en émission* de ASR est revenu à zéro.

En cas de collision, il faut positionner le contrôle de tampon à zéro, repositionner le GP puis positionner le contrôle de tampon à un. Ceci permet d'émettre à nouveau la trame.

8.2.3 Réception d'une trame

Pour recevoir une trame, il faut :

- Positionner RP à zéro et le contrôle de tampon (registre ACR) à deux.
- Attendre 800 nanosecondes après que le bit *occupé en réception* de ASR soit revenu à zéro pour lire le registre RSR et déterminer ainsi le statut de la trame qui vient d'être reçue.
- La taille du paquet, en octets sans préambule et sans CRC, est alors contenue dans RP. Le début du paquet se trouve à l'adresse 000h pour GP. Le pilote doit positionner le contrôle de tampon (registre ACR) à zéro avant de lire le tampon.