

Chapitre 8

L'horloge du PC

Il faut synchroniser le microprocesseur et ses coupleurs. Nous allons voir comment dans ce chapitre.

8.1 Le contrôleur d'horloge 8284

On peut engendrer le signal d'horloge de diverses façons. *Intel* a conçu un circuit intégré spécialisé, à utiliser avec le microprocesseur 8086/88, jouant le rôle d'interface entre un cristal et le microprocesseur. Il s'agit du 8284A, qui fournissant le signal d'horloge, le signal de synchronisation ainsi que le signal READY permettant d'insérer des états d'attente dans le cycle du bus.

Le microprocesseur 8088 est disponible avec deux cadencements : le plus utilisé est le 8088-1 à 5 MHz mais il existe aussi le 8088-2 à 8 MHz.

8.1.1 Brochage du 8284

Le circuit intégré 8284A comporte 18 broches comme le montre la figure 8.1. Décrivons le rôle de chacune de ces broches et ce à quoi elles sont reliées dans le cas de l'IBM-PC.

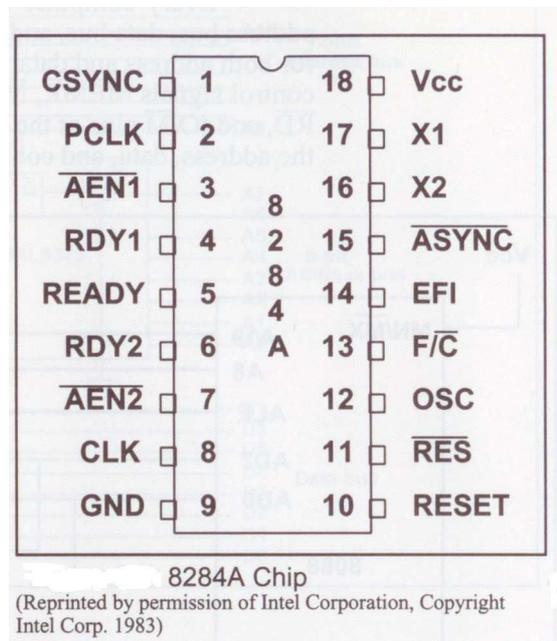


FIGURE 8.1 – Brochage du 8284

Broches d'entrée.— Les broches d'entrée sont les suivantes :

— $\overline{\text{RES}}$ (**RESet in**)

Le signal à la broche 11, actif à tension basse, engendre un signal à la broche RESET.

Dans le cas de l'IBM-PC, cette broche est reliée au signal d'alimentation. Lorsqu'on allume l'IBM-PC, un signal à tension basse est fournie à cette broche, le 8284 active alors la broche 10 (RESET) du 8088, obligeant celui-ci à une réinitialisation. C'est ce qui est appelé **démarrage à froid** (*cold boot*).

— X1 et X2 (**crystal in**)

Les broches 17 et 16 (X1 et X2 respectivement) sont reliées au cristal. La fréquence du cristal doit être le triple de la fréquence désirée pour le microprocesseur. La fréquence maximum du cristal pour le 8284A est de 24 MHz et de 30 MHz pour le 8284A-1.

L'IBM-PC est relié à un cristal de 14,31818 Mhz.

— F/\overline{C} (**F**requency/**C**lock select)

La broche 13 spécifie la façon dont le signal d'horloge est engendré. Lorsque elle est à tension basse, le signal d'horloge est engendré par le 8284 à l'aide d'un oscillateur à cristal. Lorsqu'elle est à tension haute, le signal d'horloge est reçu par la broche 14 (**EFI**).

Puisque l'IBM-PC utilise un oscillateur à cristal, cette broche est reliée à une tension basse.

— **EFI (External Frequency In)**

Le signal externe de fréquence est relié à la broche 14 si la broche 13 (F/\overline{C}) est à tension haute, comme nous venons de le voir.

Dans le cas de l'IBM-PC cette broche n'est donc pas reliée puisqu'il utilise un oscillateur à cristal.

— **CSYNC (Clock SYNChronization)**

Un signal, actif à tension haute à la broche 1, permet à plusieurs 8284 d'être reliés ensemble et d'être synchronisés.

L'IBM-PC n'utilise qu'un seul 8284, aussi cette broche est-elle à tension basse.

— **RDY1 et $\overline{AEN1}$ (ReaDY 1 et Address ENable 1)**

Les signaux RDY1, de la broche 4, et $\overline{AEN1}$, de la broche 3, sont actifs à tension haute et tension basse respectivement. Ils sont utilisés ensemble pour fournir un signal **READY** au microprocesseur, qui insère alors un état **WAIT** dans le cycle de lecture/écriture.

Dans le cas de l'IBM-PC, la broche RDY1 est reliée à **DMAWAIT** et la broche $\overline{AEN1}$ à **RDY/WAIT**. Ceci permet à l'état **WAIT** d'être inséré soit par le microprocesseur, soit par le **DMAC**.

— **RDY2 et $\overline{AEN2}$**

Ces signaux, correspondants aux broches 6 et 7 respectivement, fonctionnent exactement comme RDY1 et $\overline{AEN1}$. Ils concernent les systèmes à plusieurs microprocesseurs.

Dans le cas de l'IBM-PC, la broche RDY2 est reliée à la tension basse et $\overline{AEN2}$ à la tension haute, ce qui déconnecte cette fonction en permanence.

— **\overline{ASync}**

Ce signal correspond à la broche 15. Une tension basse est utilisée pour les périphériques qui ne sont pas capables de se conformer à une réquisition **RDY** très stricte.

Dans le cas de l'IBM-PC, cette broche est reliée à la tension basse, rendant la conception du diagramme de temps plus facile pour les portes logiques lentes.

Broches de sortie.- Les broches de sortie sont les suivantes :

— RESET

Ce signal, correspondant à la broche 10 et actif à tension haute, fournit un signal RESET au microprocesseur 8088. Il est activé par le signal d'entrée RES, comme nous l'avons vu.

— OSC (**OSC**illator)

Ce signal, correspondant à la broche 12, fournit une fréquence d'horloge égale à celle du cristal. Ce signal est TTL-compatible.

L'oscillateur à cristal de l'IBM-PC est cadencé à 14,31818 MHz donc OSC fournit cette fréquence aux connecteurs d'extension.

— CLK (**CL**ock)

Ce signal, correspondant à la broche 8, fournit une fréquence d'horloge égale au tiers de celle de l'oscillateur à cristal ou de la fréquence d'entrée EFI. La broche est reliée à l'entrée d'horloge du 8088 et aux périphériques qui doivent être synchronisés avec le microprocesseur.

Dans le cas de l'IBM-PC, la broche est reliée à la broche 19 du microprocesseur 8088.

— PCLK (**Per**ipheral **CL**ock)

Cette fréquence, correspondant à la broche 2, est la moitié de celle de CLK (soit le sixième de celle du cristal). Le signal est TTL-compatible.

Dans le cas de l'IBM-PC, cette fréquence de 2,386383 MHz est fournie au temporisateur 8253 pour le haut-parleur interne.

— READY

La broche 5 est reliée à la broche READY du microprocesseur.

Dans le cas de l'IBM-PC, ce signal est utilisé pour demander au 8088 de lui dire s'il a besoin d'insérer un état WAIT, à cause de la lenteur des périphériques qu'il essaie de contacter.

8.1.2 Schéma du circuit

Le schéma de la puce du circuit intégré est montré à la figure 8.2.

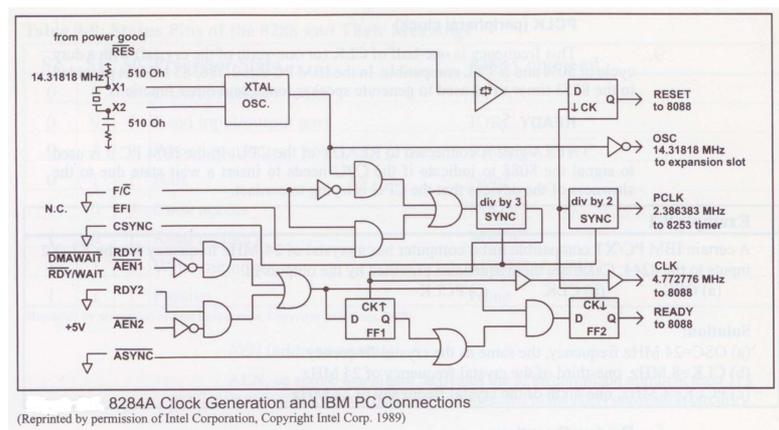


FIGURE 8.2 – Équivalent du 8284

8.2 Le temporisateur 8253

Une seule horloge est utilisée sur l'IBM-PC pour synchroniser les activités de tous les coupleurs reliés au microprocesseur. Cette horloge communique la plus grande fréquence du système au microprocesseur mais il existe des fonctions du PC exigeant une horloge ayant une fréquence plus basse. Le **temporisateur** (PIT pour *Programmable Interval Timer*) 8253 est utilisé pour fournir la fréquence désirée, par exemple pour le bip.

8.2.1 Brochage du 8253

La figure 8.3 montre le brochage du 8253, ainsi que son équivalent logique :

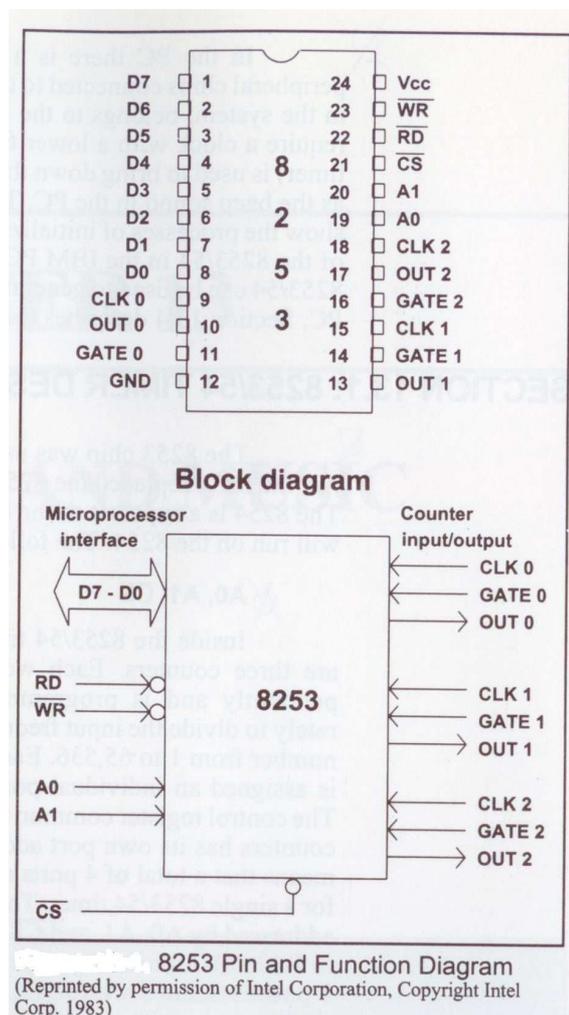


FIGURE 8.3 – Brochage du 8253

— **A0, A1, \overline{CS}**

Le 8253 comporte trois compteurs, fonctionnant indépendamment l'un des autres, chacun étant programmé séparément pour diviser la fréquence d'entrée par un nombre compris entre 1 et 65 536. Chaque compteur se voit attribué une adresse de port. Un registre de contrôle commun aux trois compteurs possède sa propre adresse de port. Ceci signifie qu'on a besoin de quatre ports pour le temporisateur.

Les ports sont adressés par les broches 19 (A0), 20 (A1) et 21 (\overline{CS}) de la façon suivante :

\overline{CS}	A1	A0	Port
0	0	0	Counter 0
0	0	1	Counter 1
0	1	0	Counter 2
0	1	1	Control register
1	x	x	Le 8253 n'est pas sélectionné

Trois broches (CLK, GATE et OUT) sont associées à chacun des compteurs.

— **CLK**

Les broches 9, 15 et 18 permettent d'obtenir la fréquence d'horloge d'entrée, qui peut varier de 0 à 2 MHz. Il doit s'agir d'un signal carré.

— **OUT**

Les broches 10, 13 et 17 fournissent la fréquence de sortie. La forme du signal de sortie peut être programmée (carré, impulsion, ...).

— **GATE**

Les broches 11, 14 et 16 permettent d'activer ou de désactiver le compteur. Une tension haute (5 V) l'active alors qu'une tension basse (0 V) le désactive. Une impulsion 0 à 1 peut aussi être appliquée pour activer le compteur dans certains modes.

— **D0 – D7**

Les broches 1 à 8 constituent le bus des données bidirectionnel du 8253. Ce bus des données permet au microprocesseur d'accéder aux registres internes du 8253 pour les opérations de lecture et d'écriture.

— **\overline{RD}**

La broche 22, active à niveau bas, est reliée au signal de contrôle \overline{IOR} du bus système.

— **\overline{WR}**

La broche 23, active à niveau bas, est reliée au signal de contrôle \overline{IOW} du bus système.

8.2.2 Initialisation du 8253

Chacun des trois compteurs du 8253 est programmé séparément, comme nous l'avons dit. Pour programmer un compteur, on doit d'abord envoyer un octet au registre de contrôle, précisant entre autre la forme du signal de sortie. Le nombre par lequel doit être divisée la fréquence d'entrée est écrit dans le compteur ; puisque ce nombre occupe deux octets et que le bus des données du 8253 a une largeur de 8 bits, ce nombre est envoyé un octet à la fois.

Octet de contrôle.- Le format de l'octet de contrôle est le suivant :

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

- Le bit D0 permet de choisir entre un diviseur exprimé en binaire (0) ou en BCD (1).
- Les bits D1, D2 et D3 spécifient le mode :

M2	M1	M0	Mode	Description
0	0	0	Mode 0	Interruption après le décompte
0	0	1	Mode 1	Un seul déclenchement, programmable
x	1	0	Mode 2	Générateur de taux
x	1	1	Mode 3	Générateur d'un signal carré
1	0	0	Mode 4	Stroboscopique logiciel
1	0	1	Mode 5	Stroboscopique matériel

- Les bits D4 et D5 spécifient la façon de lire le diviseur :

RL1	RL0	Description
0	0	Opération de déclenchement du compteur
0	1	LSB seulement
1	0	MSB seulement
1	1	D'abord LSB puis MSB

On peut écrire mais aussi lire. Tous les compteurs décroissent, en partant de la valeur introduite. La lecture permet d'utiliser le 8253 comme un compteur d'événement.

- Les bits D6 et D7 spécifient le compteur à initialiser :

SC1	SC0	Description
0	0	Sélectionner le compteur 0
0	1	Sélectionner le compteur 1
1	0	Sélectionner le compteur 2
1	1	Illégal

Exemple 1.- Considérer un montage où la broche \overline{CS} est activée par l'adresse $A7 - A2 = 100101$.

- (a) Trouver les adresses de port assignées au 8253.
 (b) Qu'effectue le programme suivant ?

```
MOV AL,00110110
OUT 97H,AL
```

- (a) D'après les trois premières broches étudiées, on a :

CS	A1A0	Port	Adresse en hexa
1001 01	00	Compteur 0	94
1001 01	01	Compteur 1	95
1001 01	10	Compteur 2	96
1001 01	11	Registre de contrôle	97

(b) On envoie donc un octet au registre de contrôle. Puisque $SC = 00$, il s'agit du compteur 0. Puisque $RL = 11$, on aura l'octet de poids faible puis l'octet de poids fort lors de la lecture-écriture. Puisque $M = 011$, on sélectionne le mode 3, c'est-à-dire le signal carré. Puisque $BCD = 0$, le diviseur sera envoyé en binaire.

Exemple 2.- Utiliser les spécifications de l'exemple précédent pour programmer :

- (a) le compteur 0 pour le mode 3 et diviser $CLK0$ par le nombre 4282 en BCD.
 (b) le compteur 2 pour le mode 3 et diviser $CLK2$ par le nombre C26Ah.
 (c) Trouver la fréquence de $OUT0$ et $OUT2$ si $CLK0 = 1,2$ MHz et $CLK2 = 1,8$ MHz.

(a) Pour programmer le compteur 0, on doit envoyer l'octet de contrôle $00110111b = 37h$, d'où le programme :

```
MOV AL,37H ; compteur 0, mode 3, BCD
OUT 97H,AL ; envoyer au registre de controle
MOV AX,4282H ; charger le diviseur
OUT 94H,AL ; envoyer l'octet de poids faible
MOV AL,AH
OUT 94H,AL ; envoyer l'octet de poids fort
```

(b) Pour programmer le compteur 2, on doit envoyer l'octet de contrôle $10110110b = B6h$, d'où le programme :

```
MOV AL,B6H ; compteur 2, mode 3, binaire
OUT 97H,AL ; envoyer au registre de controle
MOV AX,C26AH ; charger le diviseur
OUT 96H,AL ; envoyer l'octet de poids faible
MOV AL,AH
OUT 96H,AL ; envoyer l'octet de poids fort
```

(c) La fréquence pour $OUT0$ est 1,2 MHz divisée par 4 282, soit 280 Hz. La fréquence pour $OUT2$ est 1,8 MHz divisée par $C26Ah = 49\ 770$, soit 36 Hz.

8.2.3 Cas de l'IBM-PC

Les ports.- L'IBM-PC utilise un 74LS138 pour décoder l'adresse partant vers la broche \overline{CS} du 8253 conformément à la figure 8.4.

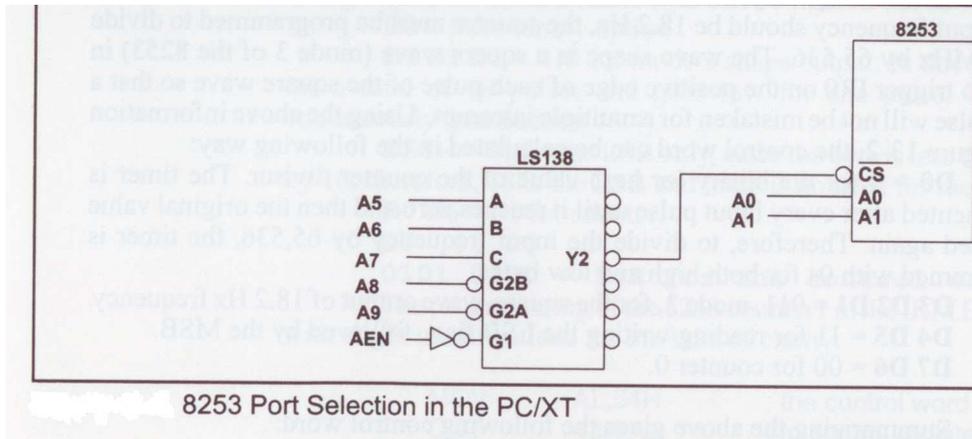


FIGURE 8.4 – Sélection du port du 8253

Les adresses de port correspondantes sont indiquées ci-dessous, en supposant zéro pour les x :

Adresse en binaire										Adresse en hexa	Fonction	
\overline{AEN}	A9	A8	A7	A6	A5	A4	A3	A2	A1			A0
1	0	0	0	1	0	x	x	x	0	0	40	Compteur 0
1	0	0	0	1	0	x	x	x	0	1	41	Compteur 1
1	0	0	0	1	0	x	x	x	1	0	42	Compteur 2
1	0	0	0	1	0	x	x	x	1	1	43	Registre de contrôle

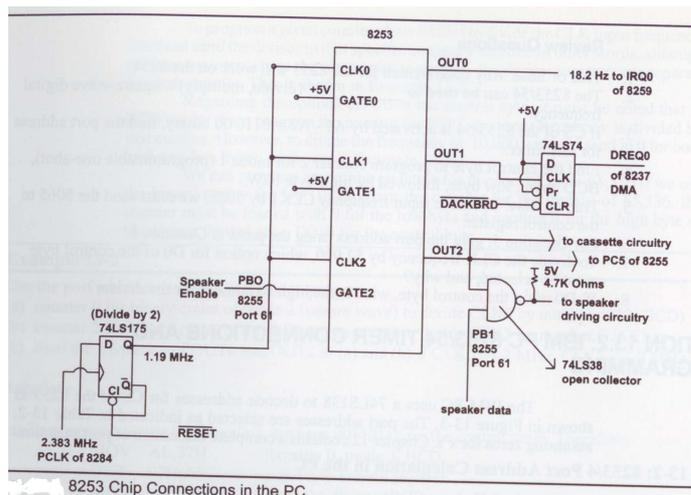


FIGURE 8.5 – Utilisation du 8253

Connexions.- Les trois broches d'horloge CLK0, CLK1 et CLK2 du 8253 sont toutes connectées à une fréquence constante de 1,1931817 MHz, fournie par la broche PCLK du 8284 après avoir été divisée par 2 par l'utilisation de la bascule D (un 72LS175), comme le montre la figure 8.5 : la fréquence de PCLK (de 2,3863633 MHz, rappelons-le) doit être divisée par deux car la fréquence d'entrée maximum permise pour le 8253 est de 2 MHz.

GATE0 et GATE1, activant les compteurs 0 et 1, sont connectés à HIGH (5 V), aucun de ces compteurs ne pouvant donc être désactivé.

Le compteur 2, par contre, peut être activé ou désactivé car GATE2 est relié à la broche PBO du port B du 8255.

Utilisation du compteur 0.- La broche OUT0 du compteur 0 est reliée à la broche IRQ0 (l'interruption de plus haute priorité) du contrôleur d'interruption 8259 de façon à déclencher, entre autres, l'interruption donnant l'heure (TOD pour *Time-Of-Day*)

Puisque la fréquence de CLK0 est 1,193 MHz, si on la divise par le maximum possible, c'est-à-dire 65 536, on obtient une fréquence de 18,2 Hz sur OUT0.

La forme du signal doit être carré (mode 3 du 8253) afin de déclencher IR0 au sommet de chaque signal.

L'octet de contrôle doit donc être 36h, à savoir :

- D0 = 0 pour une valeur du diviseur en binaire.
- D3D2D1 = 011 pour le mode 3.
- D5D4 = 11 pour LSB d'abord, MSB ensuite.
- D7D6 = 00 pour le compteur 0.

La programmation du compteur 0, que l'on retrouvera dans le listing du BIOS, est donc :

```
MOV  AL,36H    ; compteur 0, LSB-MSB, mode 3, binaire
OUT  43H,AL    ; envoyer au registre de controle
MOV  AL,00     ; 00 pour LSB ET MSB du diviseur
OUT  40H,AL    ; LSB a 0
OUT  40H,AL    ; MSB a 0
```

La fonction de IR0 ne consiste pas seulement à maintenir l'heure. Le BIOS utilise également cette interruption pour savoir si le moteur du lecteur de disquette a besoin d'être arrêté. L'utilisateur peut également s'en servir, à travers la routine de service de l'interruption 1Ch. Si l'utilisateur n'utilise pas cette interruption, le contrôle est rendu au BIOS.

Utilisation du compteur 1.- La sortie OUT1 du compteur 1 engendre l'impulsion périodique nécessaire au rafraîchissement de la mémoire DRAM. Celui-ci doit être effectué au moins toutes les 15 μ s par cellule. Cette tâche de rafraîchissement de la RAM est confiée au DMAC 8257 ; le compteur 1 du 8253 informe donc le DMAC périodiquement. Ainsi OUT1 doit fournir au DMAC une impulsion à peu près toutes les 15 μ s, soit à une fréquence de 66,278 Hz. Ceci signifie que le diviseur du compteur 1 doit être 18.

L'octet de contrôle doit donc être 54h, à savoir :

- D0 = 0 pour une valeur du diviseur en binaire.
- D3D2D1 = 010 pour le mode 2. Dans ce mode, OUT1 reste à niveau haut durant 18 impulsions et passe à niveau bas durant une impulsion.
- D5D4 = 01 pour LSB seulement, puisque la valeur du compteur est inférieure à FFh.
- D7D6 = 01 pour le compteur 1.

La programmation du compteur 0 que l'on retrouvera dans le listing du BIOS est donc :

```
MOV AL,54H ; compteur 1, LSB, mode 2, binaire
OUT 43H,AL ; envoyer au registre de controle
MOV AL,18 ; 18 pour LSB
OUT 41H,AL ; LSB a 18
```

Utilisation du compteur 2.- La sortie OUT2 du compteur 2 est reliée à trois broches : une du haut-parleur, la broche PC5 du 8255 et à la circuiterie du lecteur de cassette.

La broche GATE2 est reliée à la broche PB0 du port 61h (port B). L'IBM-PC utilise le compteur 2 pour générer les sons. Le BIOS utilise le temporisateur 2 pour générer un bip mais on peut le changer pour jouer une note musicale.

Le bip est un son de fréquence 896 Hz de mode 3 (signal carré). En divisant la fréquence d'entrée de 1,19318 MHz par 1331 (533h), on obtient 896 Hz.

L'octet de contrôle doit donc être B6h, à savoir :

- D0 = 0 pour une valeur du diviseur en binaire.
- D3D2D1 = 011 pour le mode 2.
- D5D4 = 11 pour LSB d'abord, MSB ensuite.
- D7D6 = 10 pour le compteur 2.

La programmation du compteur 2 que l'on retrouvera dans le listing du BIOS est donc :

```
MOV AL,06BH ; compteur 2, LSB-MSB, mode 3, binaire
OUT 43H,AL ; envoyer au registre de controle
MOV AL,33H ; 33 pour LSB
OUT 42H,AL ; LSB a 33
MOV AL,05 ; 5 pour MSB
OUT 42H,AL ; MSB a 5
```

Mise en marche du haut-parleur.- Pour mettre en marche le haut-parleur, GATE2 doit être à niveau haut. Ceci s'effectue grâce au bit PB0 du port 61h :

```
IN AL,61H ; recuperer la valeur en cours du port B
MOV AH,AL ; la sauvegarder
OR AL,00000011B ; faire PB0 = 1 et PB1 = 1
OUT 61H,AL ; mettre en marche le haut-parleur
; delai pour entendre le haut-parleur
MOV AL,AH ; recuperer la valeur originelle du port B
OUT 61H,AL ; couper le haut-parleur
```

Le délai est obtenu en s'aidant du microprocesseur :

```
MOV CX,N
AGAIN: LOOP AGAIN
```

Chaque instruction LOOP du 8088 dure 17 tics d'horloge, donc le délai est d'environ $N \times T \times 17$, où T est la période. Par exemple, pour $CX = 28\ 000$ et une fréquence de 4,7 MHz (soit $T = 210$ ns), on a un délai de 100 ms.

Le BIOS utilise la façon suivante pour le bip :

```
SUB CX,CX
G7: LOOP G7
DEC BL
JNZ G7
```

Avec $CX = 65\ 536$, « LOOP G7 » donne un délai d'environ 250 ms ($210 \times 65536 \times 17 = 234$ ms). Le registre BL contient le nombre de délais de 250 ms.

Commentaires- 1^o) Rappelons que DATA_AREA est défini ligne 59 dans le segment ABSO.
- 2^o)